

■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit
端子電圧	V _{DD} , V _{GG} , V _{CP} , V _i	-20 ~ +0.3	V
バックゲートバイアス電圧	V _{BB}	-0.3 ~ +10	V
許容損失	P _D	50	mW
動作周囲温度	T _{opr}	-20 ~ +60	°C
保存温度	T _{stg}	-55 ~ +125	°C

■ 動作条件/Operating Conditions (Ta=25°C)

Item	Symbol	Condition	Value	Unit
電源電圧	V _{DD}		-15	V
電源電圧	V _{GG}		-14	V
バックゲートバイアス電圧	V _{BB}		+5 *1	V
クロック電圧ハイレベル	V _{CPH}		0	V
クロック電圧ローレベル	V _{CPL}		-15	V
クロック周波数	f _{CP}		40	kHz
パルス幅 (Clock Pulse)	t _{w(CP)}		0.5T max. *2	
立上り時間 (Clock Pulse)	t _{r(CP)}		0.05T max. *3	
立下り時間 (Clock Pulse)	t _{f(CP)}		0.05T max. *3	
クロック入力容量	C _{CP}		250	pF
入力バイアス電圧 (DC)	V _{Bias}		-3.3 ~ -4.9	V

■ 電気的特性/Electrical Characteristics

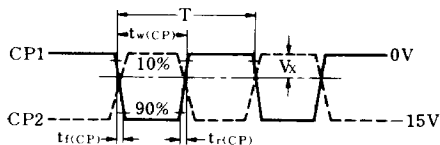
(Ta=25°C, V_{DD}=V_{CPL}=-15V, V_{GG}=-14V, V_{BB}=+5V, R_L=100kΩ)

Item	Symbol	Condition	min.	typ.	max.	Unit
入力周波数	f _i	f _{CP} =40kHz, V _i =2V _{rms} , f _i =1kHz時の出力が3dB down			12	kHz
入力電圧振幅	v _i	f _{CP} =40kHz, f _i =1kHz, THD≤2.5%			1.8	V _{rms}
挿入損失	L _i	f _{CP} =40kHz, f _i =1kHz, V _i =2V _{rms}		8.5	11	dB
全高調波歪率	THD	f _{CP} =40kHz, f _i =1kHz, V _i =0.78V _{rms}		0.4		%
出力雑音電圧	V _{no}	f _{CP} =80kHz, Aカーブ聴感補正		0.25		mV _{rms}
信号対雑音比	S/N			70		dB

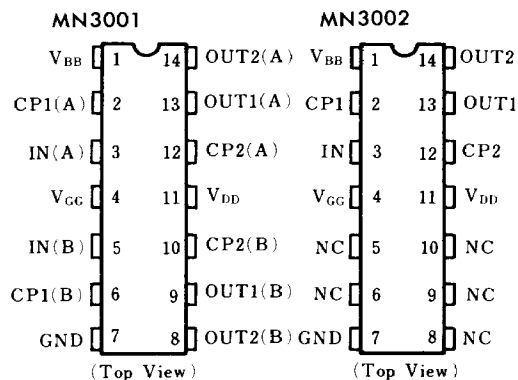
*1 V_{CPH}=-3Vにすれば、V_{BB}=0Vで使用できる。

*2 T=1/f_{CP} (クロック周期)

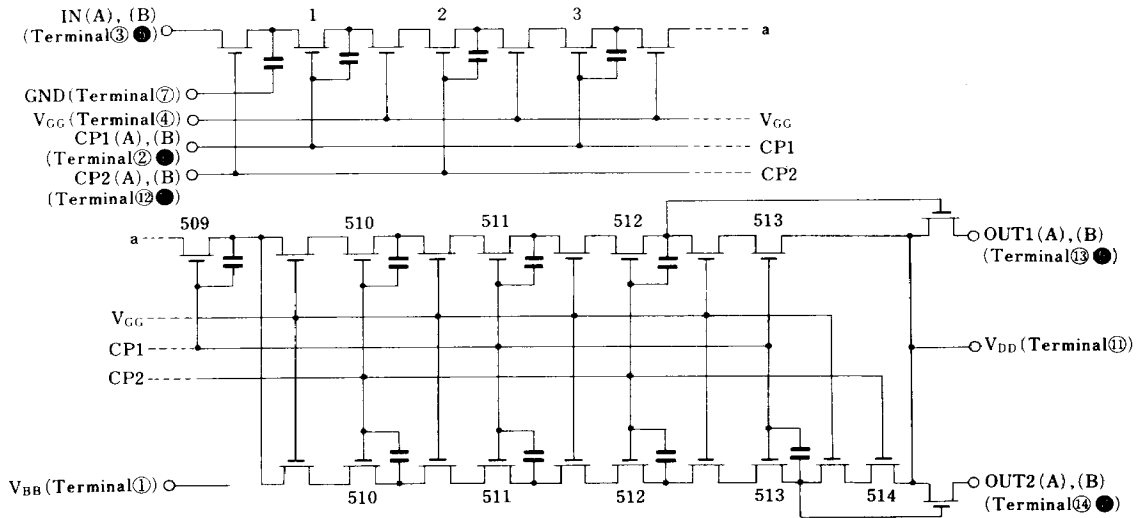
*3 クロックパルス波形



■ 端子接続図/Terminal Connections

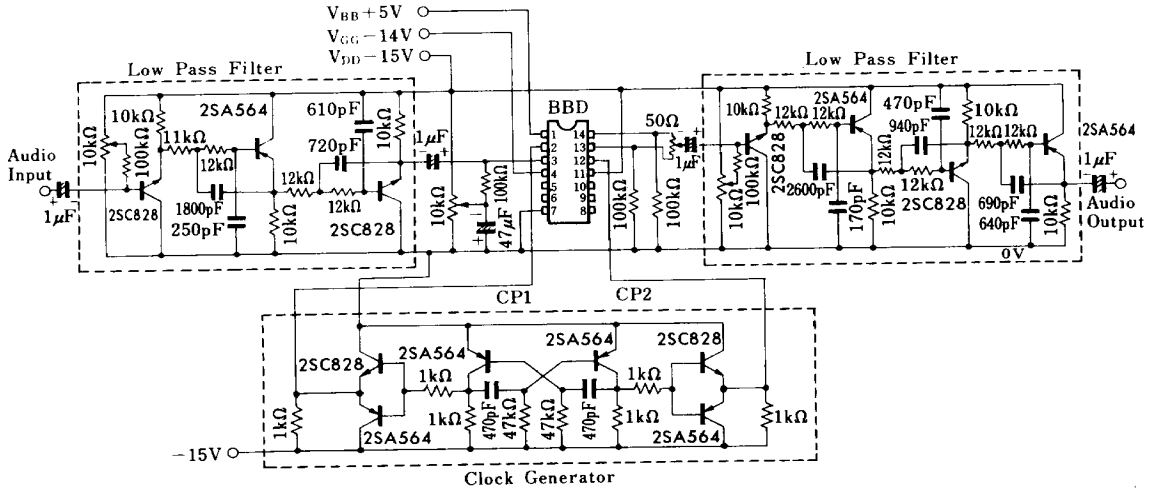


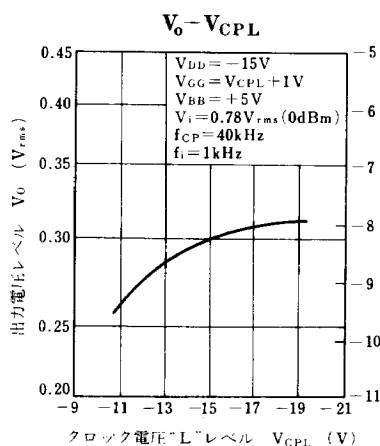
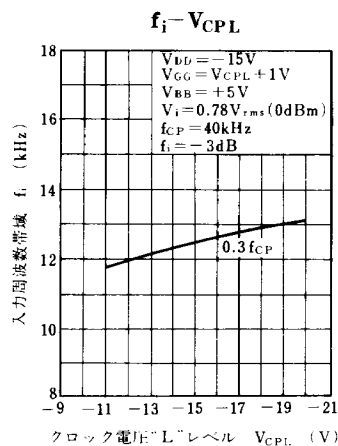
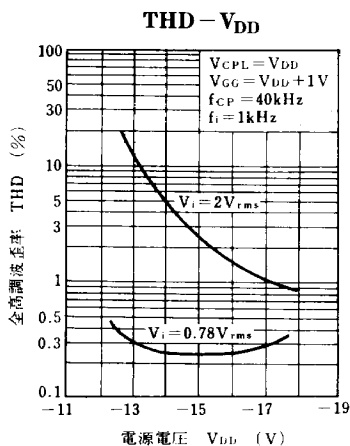
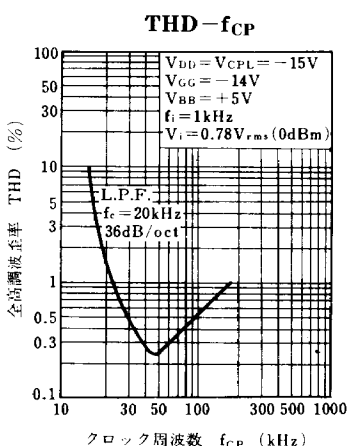
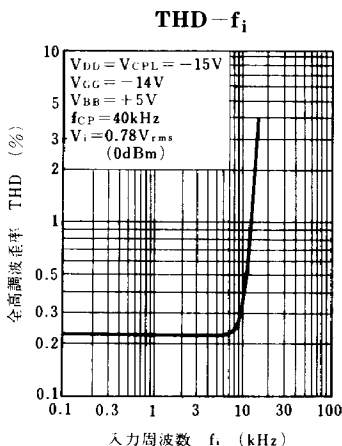
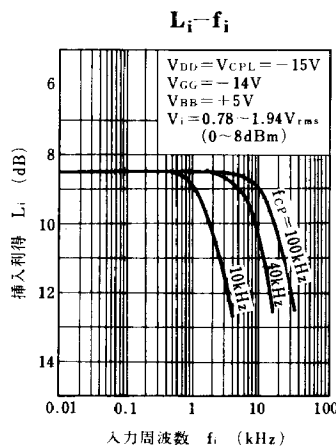
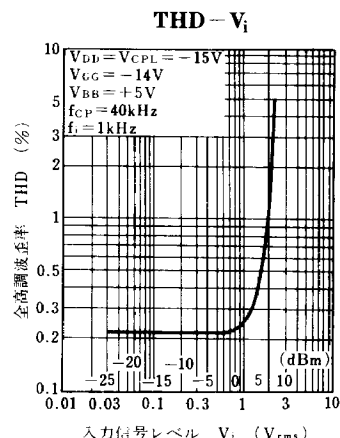
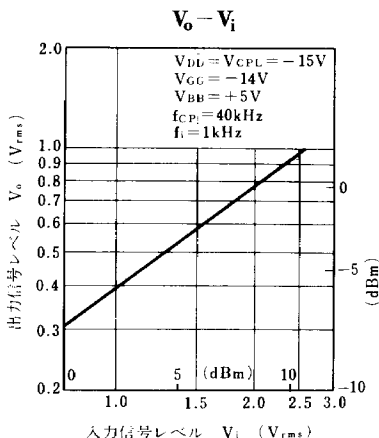
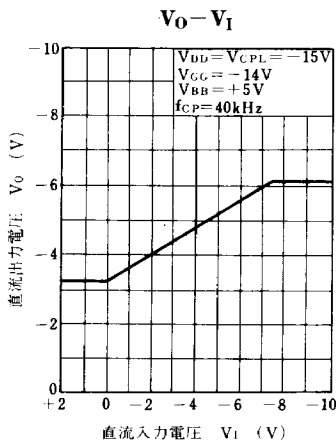
■ 回路図 / Circuit Diagrams

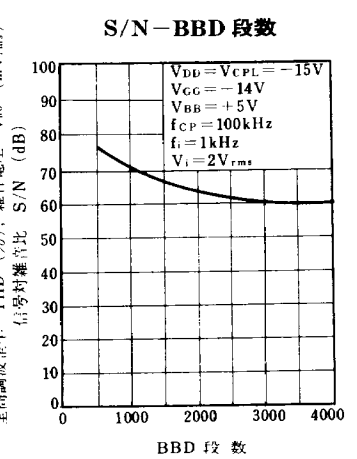
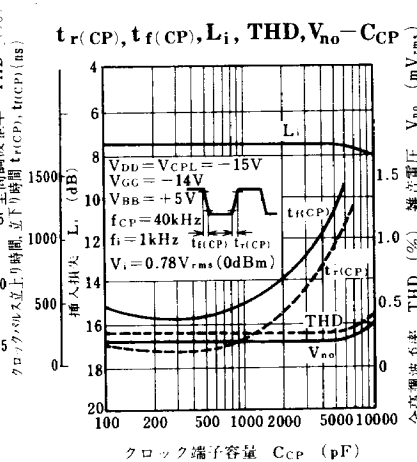
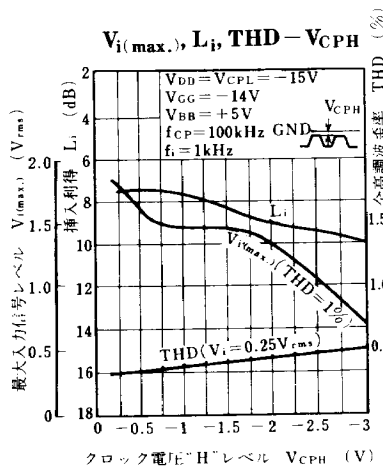
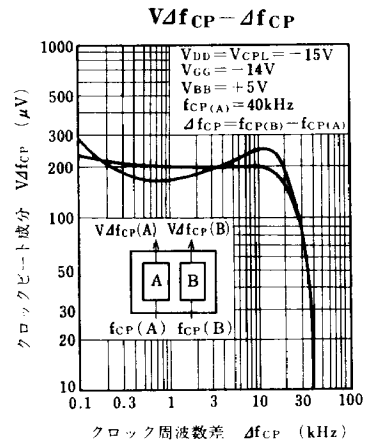
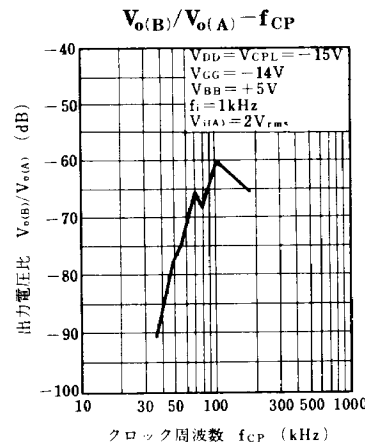
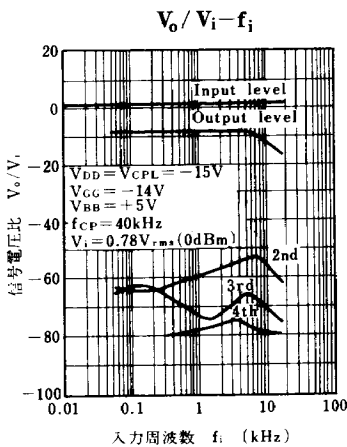
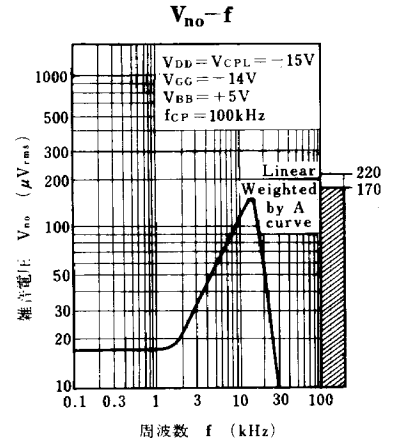
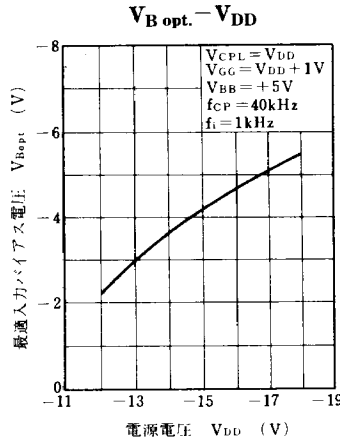
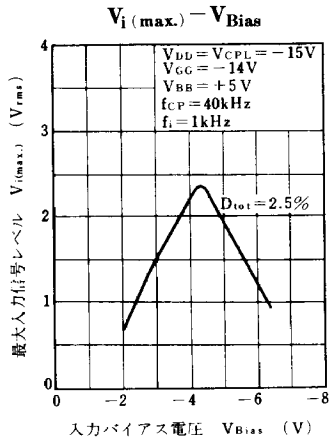


注) 上図の中でCP1●, CP2●, IN●, OUT1●, OUT2●の各端子は, MN3001では有効で, MN3002では空端子となる。

■ 特性測定回路例 / Measuring Circuit Example



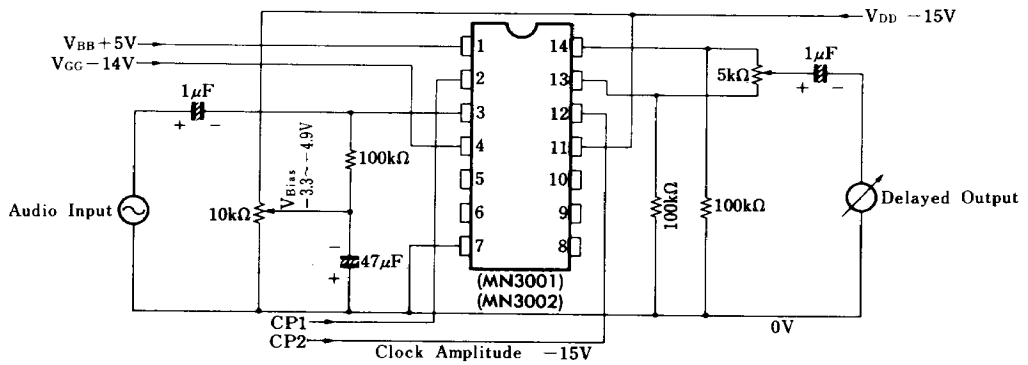




■ 応用回路例 1 / Application Circuit 1

出力のクロック成分をキャンセルする BBD 応用基本例 (512 段単一使用)

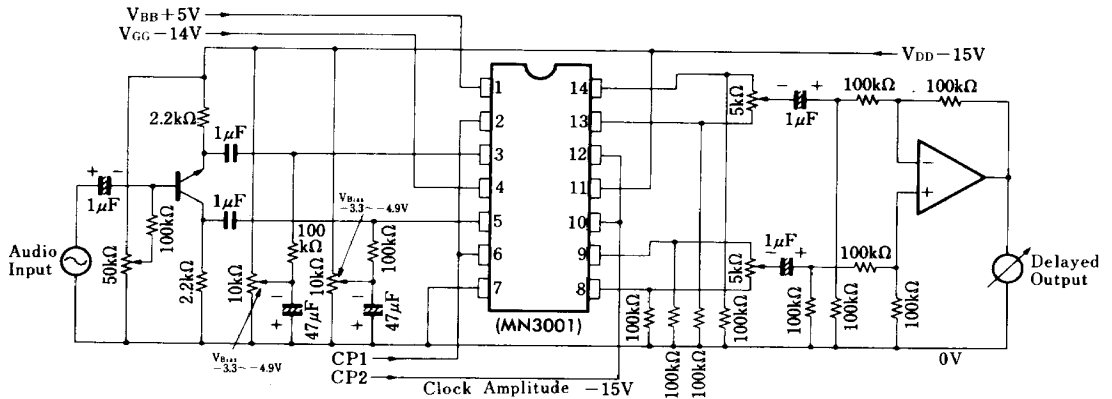
Basic circuit with clock component cancellation. (Single channel)



■ 応用回路例 2 / Application Circuit 2

クロック周波数変化に対する出力電圧 DC レベル変化を減少する応用例 (512 段並列使用, クロック同位相駆動)

Compensation of DC level shift due to clock frequency change using two BBDs.



■ 応用回路例 3 / Application Circuit 3

エコー効果発生回路 (数十 ms 以上の信号遅延) / Echo Effect Generation Circuit (Signal Delay Over 10ms)

